

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-034723

(43)Date of publication of application : 12.02.1993

(51)Int.Cl. G02F 1/136
G02F 1/1343

(21)Application number : 03-189825 (71)Applicant : SEIKO EPSON CORP

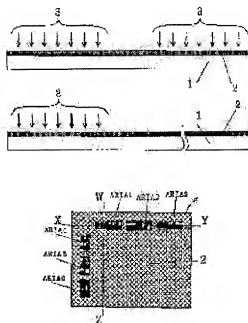
(22)Date of filing : 30.07.1991 (72)Inventor : HASHIZUME TSUTOMU

(54) ACTIVE MATRIX SUBSTRATE AND PRODUCTION OF ACTIVE MATRIX SUBSTRATE

(57)Abstract:

PURPOSE: To provide the active matrix substrate constituted by forming driving circuits consisting of thin-film transistors (TFTs) which do not affect laser edges by irradiation with lasers and have excellent electrical characteristics on an insulating substrate and the proven for producing thin substrate.

CONSTITUTION: Integrated circuits for driving the TFTs constituting the active matrix are divided and disposed in such a manner as to be included on the size of the pulse laser beams on the insulating substrate 1. A silicon thin film 2 which is the material of the element constituting the driving circuits is crystallized by irradiation with the lasers 3 in such a manner that the edges of the beams exist on the outside of the driving circuits. The driving circuits are formed by utilizing such crystallized silicon thin film 4.



LEGAL STATUS

[Date of request for examination] 30.07.1998

[Date of sending the examiner's decision of rejection] 09.05.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]	3244518
[Date of registration]	26.10.2001
[Number of appeal against examiner's decision of rejection]	2000-08518
[Date of requesting appeal against examiner's decision of rejection]	08.06.2000
[Date of extinction of right]	

特開平5-34723

(43) 公開日 平成5年(1993)2月12日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/1343		9018-2K		

審査請求 未請求 請求項の数3(全 8 頁)

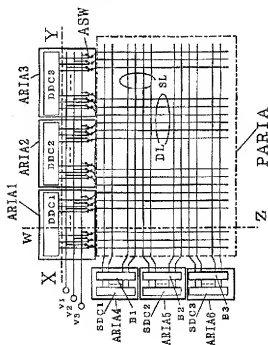
(21) 出願番号	特願平3-189825	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成3年(1991)7月30日	(72) 発明者	橋爪 勉 長野県諏訪市大和3丁目3番5号セイコーエプソン株式会社内
		(74) 代理人	弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 アクティブマトリクス基板及びアクティブマトリクス基板の製造方法

(57) 【要約】

【目的】 レーザ照射により、レーザエッジ部の影響のない電気的特性の優れた薄膜トランジスタによる駆動回路を絶縁基板上に形成したアクティブマトリクス基板とその製造方法を提供する。

【構成】 アクティブマトリクスを構成する薄膜トランジスタを駆動するための集積回路を、絶縁基板上にパルスレーザビームの大きさに含まれるように分割して配置する。駆動回路を構成する素子の材料であるシリコン薄膜を、ビームのエッジ部分が集積回路の外部に存在するようにレーザ照射して結晶化する。この結晶化したシリコン薄膜を利用して、駆動回路を形成する。



1

【特許請求の範囲】

【請求項1】薄膜トランジスタと上記画素を駆動する薄膜トランジスタによる駆動回路が同一基板上に形成されるアクティブマトリクス基板において、信号線駆動回路が複数の領域に分割されて構成されていることを特徴とするアクティブマトリクス基板。

【請求項2】薄膜トランジスタと上記画素を駆動する薄膜トランジスタによる駆動回路が同一基板上に形成されるアクティブマトリクス型基板において、走査線駆動回路が複数の領域に分割されて構成されていることを特徴とするアクティブマトリクス基板。

【請求項3】請求項1および請求項2のアクティブマトリクス基板において、駆動回路を構成している素子の半導体薄膜の結晶化に基板より小さいビーム状のレーザ光を用いる場合、レーザビームの照射で結晶化された部分と未結晶化部分のエッジ部が、上記複数の分割された信号線駆動回路の領域と走査線駆動回路の領域に存在しないことを特徴とするアクティブマトリクス基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はアクティブマトリクス基板を用いる液晶表示装置のなどに関するものである。なお、本発明の構成及び製造方法はアクティブマトリクス型液晶表示装置に限らず、駆動回路を絶縁基板上に構成するラインセンサや平面センサ、あるいは液晶シャッターなどの分野でも本発明を適用することが可能である。

【0002】

【従来の技術】近年、平面画像表示装置の中で特にアクティブマトリクス方式の液晶表示装置の研究が進みブラウン管方式の画像表示装置と同等以上の画質を得られるようになってきている。高解像度の画質と製造コスト低減のため、画素の薄膜トランジスタの駆動回路を画素と同一の絶縁基板上に構成する研究が盛んに行われている。CMOSの駆動回路を構成するためには移動度の高い薄膜トランジスタを絶縁基板上に製造する必要がある。特開昭58-4180号に示すように薄膜トランジスタの活性シリコン層を同相成長法あるいはレーザ照射法によって結晶化することにより移動度の高い薄膜トランジスタを製造することが可能である。特に、レーザ照射によってシリコン層を結晶化する方法は、基板を室温に保ったまま優れた薄膜トランジスタを製造することが可能であるため、歪みの低い安価なガラス基板上に駆動回路を構成できる。

【0003】シリコン薄膜をレーザビームの照射により、結晶粒のグレナサイズの大きな、あるいはダングリングボンドの少ないシリコン薄膜を製造する方法として、特開昭61-78119号に示すように短波長レーザにより表面部だけをいったん再結晶化し、その後熱処理によって固相成長を行わせることで結晶粒径を大きく

2

し、粒径を揃えて特性を向上させる方法や、特開昭63-31108号に示すように、結晶化する半導体薄膜の下に熱伝導率の小さい枠型絶縁膜を形成し、レーザ光を照射することで枠型内部の多結晶シリコン膜の結晶化を中心部から枠型方向に進め、結晶性を向上させ、その部分に素子を形成することで特性を向上させる方法を検討している。あるいは特開平3-30433号に示すように、レーザ光のエッジ部に起因する結晶性の不均一性を、レーザ光の照射で、最初に結晶化させる部分と未結晶部分のエッジ部となる半導体膜の基板側に、紫外光を透過する絶縁膜を介して、この絶縁膜より融点が低く、紫外光に対する吸収係数が結晶化した半導体薄膜より大きい材質の膜を形成する方法を用いることにより、レーザ光の照射によって、結晶性の向上した均一な半導体薄膜を得る試みが行われてきた。

【0004】また、図10に示す特開昭64-45162号の方法では、レーザ照射する部分とレーザ照射しない部分の間のシリコン薄膜を除いて、それを分離層として、レーザ照射する部分からの熱伝導の影響を除いて、レーザ照射して再結晶化した多結晶シリコン薄膜に駆動回路を形成する試みがなされた。

【0005】

【発明が解決しようとする課題】しかしながら、レーザビームの照射によってシリコン層を基板全体にわたって均一に結晶化することは困難である。PECVD法あるいは減圧化学気相成長法などにより形成したシリコン薄膜をエキシマレーザのビームで結晶化すると、エネルギー強度を光学系により均一化されたレーザビームの照射でも、最初のレーザビームによって結晶された部分と未結晶化部分のエッジの照射後がその後レーザビームをずらして照射しても残るといふ問題点があった。

【0006】また一方、特殊な光学系をレーザビームの発振源とサンプルであるシリコン層の間に設けて、ビームのエネルギー分布を均一化する試みが行われてきた。

【0007】しかしながら、この特殊な光学系によるビーム強度分布の改良による結果は、ビーム全体に渡って均一になっていることなく、ビームの縁ではなお依然として不均一性が観測される。シリコン薄膜を融解するのには十分なエネルギー強度では部分では、レーザビームに照射されたシリコン薄膜は微結晶シリコン薄膜となり、次にこの微結晶シリコン層に、初期のシリコン層から大粒粒径子を有するシリコン層を形成するために必要なエネルギーを照射しても、微結晶状態のままで変化しない。したがって、従来のようにパルスレーザのビームを重ねる部分が生じるように照射する方法では、パルスレーザのビームよりも広い面積のシリコン層を均一に高品質化することができない。よってパルスレーザの照射では、ビームより大きな大面積にわたって均一な特性の結晶性のシリコン薄膜を得られることは極めて困難

3

であった。特開平3-30433号では、格子状に紫外光の吸収係数の大きい薄膜を形成することにより、レーザ照射によるシリコン薄膜の均一化を試みているが、この方法では、液晶表示体の画素トランジスタの配置は、格子状に制約されることになり、画像表示のより優れたデルタ配型型のアクティブマトリクス基板ができない欠点があった。さらに、特開平3-30433号の方法では、レーザ照射によって駆動回路のための均一なシリコン薄膜を形成することができない欠点があった。

【0008】特開昭64-45162号では、アクティブマトリクス基板にXeClパルスレーザ照射により形成された駆動回路を内蔵しているが、パルスレーザビームのエッジ部分に起因するシリコン薄膜の微結晶化による薄膜トランジスタの電気的特性のパラツキについては、全く対策が考慮されていないため、高性能の周辺回路を内蔵できない欠点があった。

【0009】

【課題を解決するための手段】本発明は、上記の問題を鑑み、安価なガラス基板上にアクティブマトリクスの液晶表示装置の電気的に均一な駆動回路をパルスレーザの照射によって構成することのできる構造と製造方法を提供するためのものである。

【0010】

【実施例】以下図面を参照して実施例を詳細に説明する。

【0011】本発明の周辺駆動回路内蔵型のアクティブマトリクス基板の構成を図1に示す。

【0012】画素トランジスタが配置されている画像の表示領域の周辺部に表示領域と同一基板上に薄膜トランジスタによって駆動回路が構成されている。駆動回路の走査側駆動回路と信号側駆動回路の少なくとも一方が、複数の領域に分割されて構成されている。領域の長辺方向の長さは、駆動回路を構成する薄膜トランジスタのシリコン薄膜を結晶化するパルスレーザビームのビーム面積によって変化する。

【0013】例えば、駆動回路を構成する薄膜トランジスタの膜厚が25nmの活性シリコン薄膜を、減圧化学気相成長法で製した多結晶シリコン薄膜を波長308nmのFWHMが50nsのXeClエキシマレーザの照射によって再結晶化する際には、レーザビームのエネルギー強度が250〜500mJ/cm²程度必要である。上記のエキシマレーザビームの1パルスのエネルギーが試料直前で500mJであり、上記駆動回路の短辺の長さが2mmであれば、上記の分割されたそれぞれの駆動回路の長辺の長さは、50mm〜100mmである。表示領域が長辺300mm短辺が225mmの大きさであり、長辺に信号側駆動回路があり、225mmの長さの短辺に走査側の駆動回路があるアクティブマトリクス型の液晶表示体の場合、長辺にある信号側駆動回路を3分割し、短辺の走査側駆動回路を3分割した構

4

成にする。3分割された信号側駆動回路のそれぞれの領域の大きさは2mm×100mmであり、また3分割された走査側駆動回路のそれぞれの領域の大きさは2mm×75mmでよい。また、それぞれに分割された領域の間隔は、100μm〜5mmである。駆動回路の分割する領域の数と、それぞれの領域の面積は上記の例に限らない。分割された駆動回路のそれぞれの領域の形状は長方形でなくても構わない。さらに、信号側駆動回路の分割されたそれぞれの領域は、同じ面積でなくとも構わない。上記に述べた信号側駆動回路の分割方法と同様に走査側駆動回路を分割することができる。

【0014】図2に上記の様に分割された駆動回路の具体的な構成例を示す。

【0015】図2では、点順次型の駆動方法によるアクティブマトリクス型液晶表示体の基板の構成例を示しており、走査側駆動回路を3分割し、信号側駆動回路を3分割した例を示す。図2において、DDC1、DDC2およびDDC3はそれぞれ信号側駆動回路である。ビデオ信号線V1、V2およびV3の三本の線で示しているが、必要によってビデオ信号線の増減が有り得る。この例ではビデオ信号を画素トランジスタに点順次方法で伝えるため、信号側駆動回路によって、それぞれの信号線をアナログスイッチASWによってスイッチングして、液晶表示体の表示領域PARIAに構成されている画素トランジスタに、ビデオ信号のデータをデータラインDLを通じて伝える。

【0016】また、SDC1、SDC2およびSDC3は、走査側駆動回路をそれぞれ示す。さらにB1、B2およびB3は、上記分割された走査側駆動回路SDC1、SDC2およびSDC3のそれぞれに接続したバッファ回路である。バッファ回路からの信号は走査線SLを通じて画素トランジスタに伝えられる。信号線DLと走査線SLの交差点に画素を駆動するための薄膜トランジスタがそれぞれ形成されている。

【0017】DDC1、DDC2、DDC3、SDC1、SDC2、およびSDC3の領域内に構成されたストレイジスタは平面的に周期的に配置されているが、例えばDDC1とDDC2の領域に構成された最近接の薄膜トランジスタの間は、レーザビームのエッジの影響の及ばない様に100μmから5mmの距離がある。

【0018】上記の実施例により、パルスレーザを使ったシリコン薄膜の結晶化による、優れた電気的特性の周辺駆動回路を内蔵したアクティブマトリクス基板を構成することができる。図2では点順次型の駆動回路例を示したが、線順次でも他の方式の駆動方法の駆動回路内蔵型のアクティブマトリクス基板の製造方法でも本発明は適用できる。

【0019】次に、上記実施例に示された構成の駆動回路内蔵のアクティブマトリクス基板の製造方法を図3〜図9に説明する。

5

【0020】図3に示すように歪度の低いガラス基板などの絶縁基板1上にシリコン薄膜2を被着形成する。シリコン薄膜は、減圧CVD法により製膜された多結晶シリコン薄膜である。上記シリコン薄膜の厚さは、25nm〜50nmである。上記シリコン薄膜2をレーザビーム3を照射することにより再結晶化する。波長308nmのXeClエキシマレーザを、上記絶縁基板1上の、図2で示された駆動回路を構成する領域であるARIA1、ARIA2、ARIA3、ARIA4、ARIA5、およびARIA6を照射する。

【0021】図3(a)は、図2のX-Y方向のARIA1とARIA2の、あるいはARIA2とARIA3の間の断面図、図3(b)はW-Z方向の断面図を示す。レーザビームは、駆動回路を構成する上記のそれぞれの領域を十分含む大きさであり、さらにそれぞれ分割された駆動回路の領域の間にレーザビームのエッジ部が存在するようにレーザビームの位置を調整してレーザ照射する。上記多結晶シリコン薄膜2の厚みが25〜50nmであればレーザビームのエッジ部の影響による、微結晶シリコンの発生領域は、100μm〜500μm程度であるため、隣接する分割された駆動回路の間隔は500μm以上が望ましい。駆動回路の設計に支障がない限り、この間隔は数mmに及んでも構わない。また、W-Zの方向では、レーザビームのエッジは駆動回路と両隣領域の間に存在するようにレーザビームを照射する。この方法により絶縁基板1上のシリコン薄膜は、基板平面図である図4に示すように部分的に結晶化される。4はレーザビームの照射により形成された多結晶シリコン薄膜の領域、2はレーザビームが照射されないシリコン薄膜の領域である。ARIA1、ARIA2、ARIA3、ARIA4、ARIA5、およびARIA6は図2の指示と一致する。

【0022】このように部分的なレーザ照射により結晶化されたシリコン薄膜の断面図を図5(a)と(b)に示す。なお、図5の微結晶シリコン薄膜5は図4では省略してある。図5(a)は図4のX-Yに沿った断面図であり、図5(b)は、W-Zに沿った断面図である。図5において4はレーザ照射により結晶化された多結晶シリコン薄膜であり、5はレーザビームのエッジ部の影響により形成された微結晶シリコン薄膜の領域である。Lは分割された駆動領域の間隔であり100μmから5mmの距離がある。PARIAは画素トランジスタが形成される領域、DCAは駆動回路が形成される領域である。

【0023】上記多結晶シリコン薄膜をレーザ照射するときの条件は、XeClエキシマレーザの場合、例えばエネルギー強度分布を均一に調整した350mJ/cm²の強度のビームを真空中で照射する。

【0024】ARIA1〜3の走査線方向の長さが10cmであり、信号線方向の長さが2mmであれば、試料

6

直前のパルスのエネルギーは700mJでよい。レーザ発振器の出力が1パルスあたり1Jであれば、レーザビームの形状を特殊な光学系で上記の大きさに成形して、試料までの光学系の透過率をアッテネーターなどで調節して0.7にすれば、レーザ照射の対象となる領域のシリコン薄膜の再結晶化が可能となる。ARIA4〜6の領域の面積がARIA1〜3と異なれば、光学系の調整によって、必要な形状と透過率にしてレーザ照射すればよい。レーザ発振器の1パルスあたりの最大出力エネルギーが自由に變更できないときには、液晶表示体の表示面積の大きさに対応してレーザ照射が必要な駆動回路の分割する面積と駆動回路の分割数を調節すればよい。例えば、表示部の大きさが信号線方向で150cmであり、走査線方向で200cmであり、シリコン薄膜の結晶化に必要なレーザ強度とレーザ発振器の出力が上記の例と同じ条件ならば、信号線側の駆動回路を20個の領域に分割して形成し、さらに走査線側の駆動回路を15個の領域に分割して形成すればよい。次に、図6に示すように、シリコン薄膜をリソグラフィ法によって島状にパターンニングする。さらにソースガスにSiH₄とO₂を用いたECRCVD法によって、厚さ150nmの酸化シリコン薄膜によるゲート絶縁膜を、上記島状のシリコン薄膜を覆うように被着形成する。さらに、上記ゲート絶縁膜に覆われた島状のシリコン薄膜に一部分重なるように、ゲート電極9を形成する。ゲート電極の材料は、金属薄膜、不純物が注入されたシリコン薄膜などの電気抵抗の低い材質がよい。たとえば減圧CVD法で形成された厚さ300nmのリン原子を含んだ多結晶シリコン薄膜を基板上に被着形成して、リソグラフィ法によりパターンニングしてゲート電極を形成する。

【0025】次に、図7に示すように、上記島状のシリコン薄膜中に、ソース領域とドレイン領域を形成するため上記ゲート電極に対して自己整合的に不純物をイオン注入する。駆動回路をC-MOS回路で構成するため、適宜イオン注入に対して阻止能力のある材料をマスクに用いて不純物を注入する。たとえば、適宜にレジストをマスクにして、p型の薄膜トランジスタの構成のためにはホウ素イオンを、n型の薄膜トランジスタの構成のためにはリンイオンを注入する。あるいは、駆動回路をn型のみの薄膜トランジスタによって、あるいは、p型のみの薄膜トランジスタによって構成しても構わない。

【0026】図7で10はp型の不純物が注入された領域、11はn型の不純物が注入された領域である。次に、600℃の温度でアニールしてソース領域とドレイン領域中の不純物を活性化させる。次に、薄膜トランジスタの活性領域に存在するダングリングボンド減少させるためにECRCVD法により必要な量の酸素粒子を注入する。

【0027】次に、図8で示すように、スパッタ法により厚さ150nmのCr薄膜を被着形成してパターンニ

7

グにより、走査線を形成する。次に、酸化シリコン膜による層間絶縁膜15を被着形成し、ソース領域、ドレイン領域およびゲート電極に到達するスルーホールを形成する。次に、1T0薄膜をスパッタ法により被着形成して、リソグラフィー法により画素電極16を被着形成する。さらに、スパッタ法によりシリコン原子と銅原子を含んだA1薄膜をスパッタ法により形成して、パターンニングにより信号線と駆動回路に必要な配線17を形成する。さらに、薄膜トランジスタを外部環境から保護するため窒化珪素膜によってパッシベーション膜18を形成する。

【0028】上記の例では、多結晶シリコン2のレーザ照射による結晶化を、パターンニングの前に行っているが、図9に示すように多結晶シリコン薄膜を薄膜トランジスタの素子状にパターンニングした後に、レーザ照射3してもよい。この場合も隣接する駆動回路の間に、レーザビームのエッジ部が存在するようにレーザ照射する。この後のアクティブマトリクス基板の製造工程は図6以下で示した工程と同じである。

【0029】上記の実施例では、自己整合型の例を示したが、非自己整合型の薄膜トランジスタによるアクティブマトリクス基板の製造にも本発明は適用できる。

【0030】上記の実施例では、多結晶シリコン薄膜をレーザ照射したシリコン薄膜により駆動回路を構成したアクティブマトリクス基板の製造方法を示したが、アモルファスシリコン膜をレーザ照射することでも本発明は適用できる。

【0031】上記の例では、表示領域の画素電極を駆動するための薄膜トランジスタはn型であるが、目的によってはp型でもよく、さらには、n型とp型の両タイプの薄膜トランジスタによって、画素電極を駆動してもよい。

【0032】

【発明の効果】本発明の方法によって構成された信号線側駆動回路及び走査線側駆動回路は、レーザ照射による良質なシリコン薄膜によって製造されているため移動度の高い薄膜トランジスタによって構成されているため周波数特性の高い特徴を持つ。また、レーザビームの照射によって結晶化されたシリコン薄膜の物理的なばらつきの原因であるレーザビームのエッジ部が駆動回路の内部で発生することがないので、極めて電気的性質が均一な駆動回路を構成することが可能である。さらに、駆動回路の領域だけにレーザ照射しているために、表示領域の画素トランジスタは極めて均一な特性である。さらに、減圧CVD法により形成された多結晶シリコン薄膜を駆動回路と画素トランジスタの活性シリコン層に用いているため、簡便な方法で、駆動回路の素子と表示領域の画素用の自己整合型の薄膜トランジスタを形成することができる。

【0033】この上記の方法により、高精細で、均一な

8

表示特性の表示領域を持ち、この表示領域の薄膜トランジスタを駆動するための、電気的性質の優れた均一な駆動能力ができる駆動回路内蔵型のアクティブマトリクス液晶表示体を製造することができる。

【図面の簡単な説明】

【図1】 本発明の駆動回路内蔵のアクティブマトリクス基板の概略図。

【図2】 本発明の駆動回路内蔵型アクティブマトリクス基板の回路図。

10 【図3】 本発明のアクティブマトリクス基板の製造方法の工程図。

【図4】 本発明のレーザ照射後のシリコン薄膜の分布図。

【図5】 本発明のアクティブマトリクス基板の製造方法の工程図。

【図6】 本発明のアクティブマトリクス基板の製造方法の工程図。

【図7】 本発明のアクティブマトリクス基板の製造方法の工程図。

20 【図8】 本発明のアクティブマトリクス基板の製造方法の工程図。

【図9】 本発明のアクティブマトリクス基板の製造方法の工程図。

【符号の説明】

PARIA …アクティブマトリクス基板の表示領域
ARIA1、ARIA2、ARIA3 …信号線側駆動回路領域
ARIA4、ARIA5、ARIA6 …走査線側駆動回路領域
DL …信号線
SL …走査線
DDC1、DDC2、DDC3 …信号線駆動回路
SDC4、SDC5、SDC6 …走査線駆動回路
B1、B2、B3 …バッファ回路
ASW …アナログスイッチ
V1、V2、V3 …ビデオ信号
1 …絶縁基板
2 …多結晶シリコン薄膜
3 …レーザ照射
4 …再結晶化多結晶シリコン
5 …微結晶シリコン
6 …島状再結晶化多結晶シリコン

7, 19

リコン

8

9

10, 12

ドレイン領域

11, 13, 14

ドレイン領域

15

…島状多結晶シ

…ゲート絶縁膜

…ゲート電極

…n型ソース・

…p型ソース・

…層間絶縁膜

16

17

18

ヨシ膜

101

102

半導体膜

103

…再結晶させな
い半導体膜

10

…画素電極

…金属配線

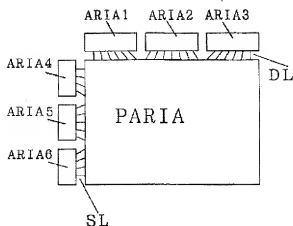
…バッシンベシ

…絶縁基板

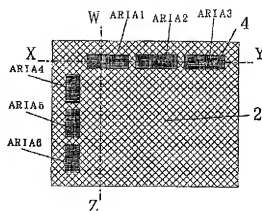
…再結晶させる

…再結晶させな

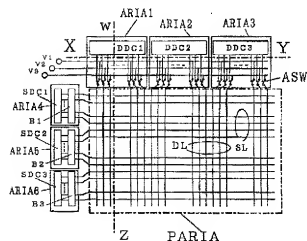
【図1】



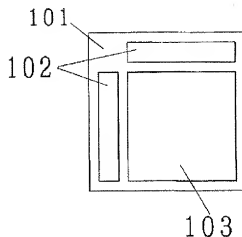
【図4】



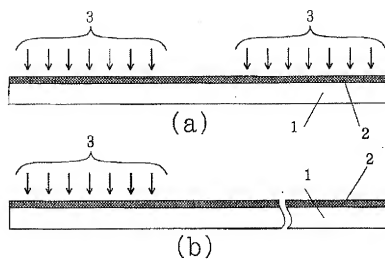
【図2】



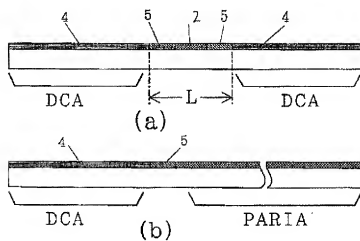
【図10】



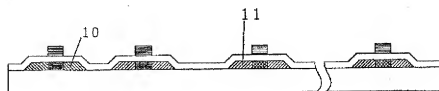
【図3】



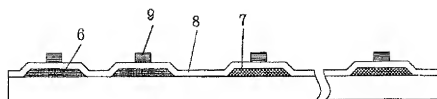
【図5】



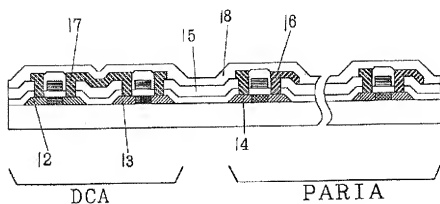
【図7】



【図6】



【図8】



【図9】

